

绝缘体上硅功率半导体单芯片集成技术

张 龙¹, 刘斯扬¹, 孙伟锋¹, 马 杰¹, 盘成务¹, 何乃龙², 张 森², 苏 巍²

(1. 东南大学国家ASIC工程研究中心, 江苏南京 210096; 2. 华润上华科技有限公司, 江苏无锡 214061)

摘要: 利用单芯片集成技术制造的智能功率芯片具有体积小、寄生小、损耗低等方面的优势,其技术难度远高于传统的多芯片、单封装形式的智能功率模块。本文首先介绍了单片智能功率芯片的架构与技术需求;然后,探讨了绝缘体上硅功率半导体单芯片集成的工艺流程和器件类型;接着,总结了高压横向IGBT器件技术、续流二极管器件技术、LDMOS器件技术的特征和效果;此外,还讨论了单片智能功率芯片的相关可靠性问题,包括高压互连线效应和低温雪崩不稳定。本课题组在功率半导体集成器件的电流能力、关断速度、短路承受能力、反向恢复峰值电流、安全工作区、高压互连线屏蔽、低温可靠性等关键特性优化或可靠性提升方面进行了自主创新,构建了基于绝缘体上硅的功率半导体单芯片集成技术,并成功研制了单片智能功率芯片。

关键词: 功率半导体;绝缘体上硅;单片集成;功率集成电路;功率器件

基金项目: 国家自然科学基金(No.62274032, No.62174029);江苏省科技成果项目(No.BA2022005, No.BA2020027)

中图分类号: TN433; TN305 **文献标识码:** A **文章编号:** 0372-2112(2023)02-0514-13

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.12263/DZXB.20220492

Study on the Silicon-on-Insulator Power Semiconductor Monolithic Integration Technology

ZHANG Long¹, LIU Si-yang¹, SUN Wei-feng¹, MA Jie¹, PAN Cheng-wu¹,
HE Nai-long², ZHANG Sen², SU Wei²

(1. National ASIC System Engineering Research Center, Southeast University, Nanjing, Jiangsu 210096, China;

2. CSMC Technologies Co. Ltd., Wuxi, Jiangsu 214061, China)

Abstract: The intelligent power chip designed and manufactured based on the single-chip integration technology has the advantages of small size, small parasitic element and low loss. Its technical difficulty is much higher than the intelligent power module with multiple co-packaged chips. Firstly, this paper introduces the block diagram of the single-chip intelligent power chip and its technical requirements. Then, the process flow and device types of the silicon-on-insulator (SOI) power semiconductor single-chip integration technology are discussed. Then, the features and technical effect of the high-voltage lateral IGBT, freewheeling diode and LDMOS technologies are summarized. Additionally, the reliability of single-chip intelligent power chip is discussed, including high-voltage interconnection effect and low-temperature instability. The research group of this paper has made independent innovation in the optimization or reliability improvement of key characteristics of integrated power semiconductor devices, such as current capability, turn-off speed, short-circuit withstand capability, reverse recovery peak current, safe operation area, high-voltage interconnection shielding, low-temperature reliability and so on. We developed the power semiconductor single-chip integration technology based on SOI, and realized the localization of single-chip intelligent power chip.

Key words: power semiconductor; silicon-on-insulator; single-chip integration; power integrated circuit; power device

Foundation Item(s): National Natural Science Foundation of China (No.62274032, No.62174029); Technological Achievements of Jiangsu Province (No.BA2022005, No.BA2020027)

1 引言

传统的智能功率模块(Intelligent Power Module, IPM)将驱动控制芯片、分立绝缘栅极双极型晶体管(In-

sulated Gate Bipolar Transistor, IGBT)、分立续流二极管、保护元件等封装到一个模块内^[1,2],是轨道交通装备、电力设备、节能与新能源汽车、海洋工程装备、航空

航天装备中电能转换和控制的核心元件。与传统的 IPM 架构不同,全集成单片智能功率芯片^[3-11]能够将传统 IPM 中的所有元件集成到同一块芯片中,具有体积小、功耗低、寄生低及可靠性高等优势,能够更好地满足智能化、微型化以及高能效的诉求。全集成单片智能功率芯片涉及到功率半导体集成电路中的高压器件技术^[8,9,12-21]、集成工艺技术^[9,22-24]、电路驱动技术^[10,11,25-28]、隔离及互连技术^[24,29-33]等诸多关键技术,其技术难度高于传统 IPM;国内相关产业尚处于全面替代国外传统 IPM 产品的阶段,对更为高端的单片智能功率芯片的研究还比较匮乏。2021 年之前,仅有国外一些半导体公司推出了全集成单片智能功率芯片产品,国内应用全部依赖进口。

早在 1990 年,日立研究实验室首次尝试了采用介质隔离技术的 250 V/1 A 全集成单片智能功率芯片^[3];随后,该实验室又将芯片的级别提升到了 500 V/1 A,以适用 220 V 交流电压的应用;1994 年,日本东芝公司也研发了 500 V/1 A 级别的全集成单片智能功率芯片,并集成了高速、低损耗的功率级开关器件^[5];随后,在 1997 年至 2012 年,东芝、日立、电装等企业又对全集成单片智能功率芯片的工艺和器件进行了优化和发展,普遍采用多沟道横向 IGBT 器件作为功率级的开关器件^[6-8];2014 年,日立半导体推出了采用了新一代绝缘体上硅(Silicon-On-Insulator, SOI)的功率半导体单芯片集成技术,并成功研制了单片智能功率芯片。本文的第 2 部分介绍了单片智能功率芯片的架构和技术难点;第 3 部分探讨了所开发的 SOI 基全集成工艺及器件;第 4 部分研究了 SOI 基横向高压器件的关键技术,包含自主研发的横向 IGBT(Lateral IGBT, LIGBT)器件、横向 DMOS(Lateral DMOS, LDMOS)器件、续流二极管(Free Wheeling Diode, FWD)器件及高压互连等技术;此外,本文还介绍了可靠性提升的相关技术。

2 单片智能功率芯片

如图 1 所示,传统智能功率模块(IPM)将驱动芯片、分立的 IGBT 器件、分立的 FWD 及其他一些被动元件封装到一个模块内,能够大大简化板级设计和降低寄生。IPM 内含的驱动芯片一般还具有过温、短路、欠压等保护功能^[34,35]。单片智能功率芯片相比传统智能功率模块技术实现难度更大,图 2 所示为本课题组所研发的国产单片智能功率芯片,它将智能功率模块中所有的电路、器件、被动元件集成到一块芯片中,最大程度上减小芯片体积、降低寄生。图 3 所示为单片智能功率芯片的架构图,它可以划分为两个部分:控制级和功

率级^[36]。控制级一般包含供电电路、LIGBT 栅极驱动电路、电平移位电路、自举电路、逻辑电路及各类保护电路;功率级一般包括三相桥式连接的高压 LIGBT 器件和续流二极管。单片智能功率芯片相比图 1 所示的多芯片、单封装的传统 IPM,其技术需求如下。

(1)需要高性能的 LIGBT 器件、LDMOS 器件以及 FWD 器件实现单片集成,包括:①LIGBT 器件作为功率级开关器件,需要具有大电流能力、低关断损耗、强的短路能力以保证芯片的低损耗和高鲁棒性^[20];②LDMOS 器件用于实现电平移位功能,需要工作在高压、饱和电流输出状态,要求具有高的开态击穿电压^[37];③FWD 器件与 LIGBT 器件反并联使用,应具有低的反向恢复峰值电流,以及宽的反向恢复安全工作区^[38,39]。

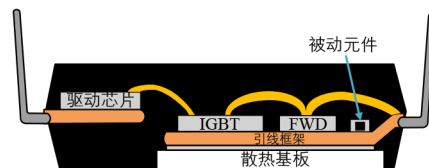


图 1 传统智能功率模块(IPM)的内部架构示意图



图 2 本课题组研发的国产单片智能功率芯片照片

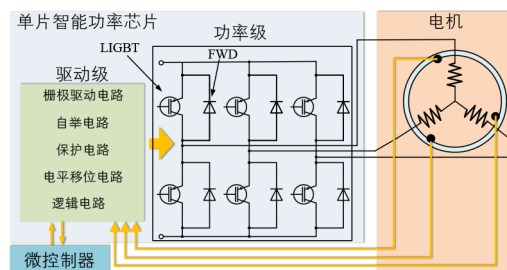


图 3 单片智能功率芯片的架构

(2)需要高压互连线屏蔽、高低压隔离等方面的可靠性技术^[24,29,30,33,40],包括:①高压互连线用以实现高压信号传递,单片集成要求能够在片上对高压互连线效应进行屏蔽,避免提前击穿,实现芯片的稳定工作;②沟槽隔离技术用以满足高低压器件之间、高压器件与控制电路之间的高可靠隔离和串扰屏蔽;③其他技术,如低温环境下的雪崩稳定性提升技术。

3 SOI 基全集成工艺与器件

本课题组开发的 SOI 全集成工艺平台中包括 550 V

高压 LIGBT 器件、高压 FWD 器件、高压 LDMOS 器件, 40 V 低压 CMOS 器件、齐纳二极管、三极管以及电阻、电容等被动元件. 如图 4 所示, 芯片所需的高压、低压器件集成在同一衬底上, 通过隔离沟槽和埋氧层实现器件之间的全隔离. 与体硅工艺的 PN 结隔离相比, SOI 工艺的沟槽横向隔离能够有效节省隔离区域的面积、减小高低压区域之间的横向漏电; SOI 工艺的埋氧层隔离能够隔绝衬底与有源区之间的电流路径, 防止闩锁发生, 有效降低衬底相关的寄生效应. 本文涉及的 SOI 全集成工艺的 P 型 (掺杂硼) 衬底电阻率为 $10 \Omega \cdot \text{cm}$, 埋氧层 (BOX) 的厚度为 $3.5 \mu\text{m}$, N 型 (掺杂磷) 顶层硅的厚度为 $18 \mu\text{m}$ 、掺杂浓度为 $8.3 \times 10^{14} \text{cm}^{-3}$. 本工艺的关键步骤如图 5 所示, 首先采用反应离子刻蚀进行沟槽刻蚀, 然后进行 $0.8 \mu\text{m}$ 厚的沟槽侧壁氧化, 接着采用高掺杂浓度的多晶硅进行沟槽填充; 沟槽填充后, 依次进行低压 P 阱、高压 N 阱、低压 N 阱及高压 P 阱的离子注入和退火; 然后, 进行 $0.55 \mu\text{m}$ 的场氧化和定义有源区; 接着, 生长 37nm 的栅氧化层、淀积并刻蚀多晶硅形成栅; 然后, 进行漏源极的 N+、P+ 注入和齐纳二极管的 P+ 注入; 接下来是流程是接触孔、金属 1、通孔、金属 2 及表面钝化.

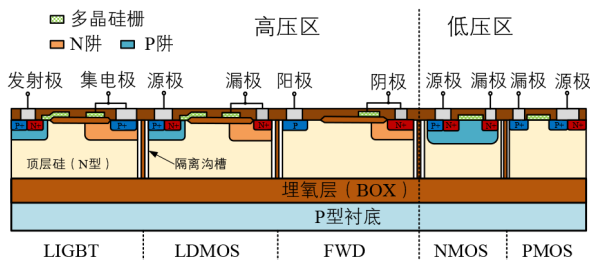


图4 SOI全集成工艺剖面结构示意图(图中未显示被动元件)

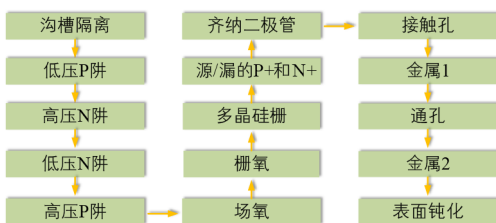


图5 SOI全集成工艺关键步骤

4 SOI基横向高压器件关键技术

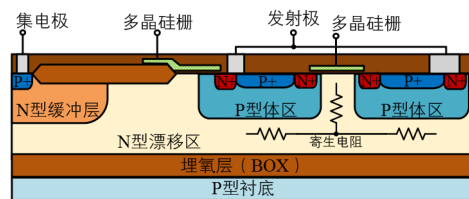
4.1 SOI基LIGBT器件

相比LDMOS器件,LIGBT器件具有电流密度大的优势,所以,在单片智能功率芯片中通常选用LIGBT作为功率级的开关器件,用以输出大电流.下文将从发射极、漂移区、集电极三个区域的优化技术来研究SOI基LIGBT器件的关键技术.

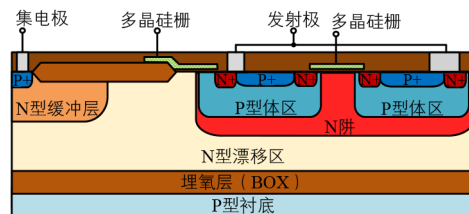
4.1.1 发射极优化技术

LIGBT器件的电流能力决定了其导通损耗;在单片

智能功率芯片中,功率级的开关器件占据了芯片的大部分面积,因此,LIGBT的电流能力也直接影响到芯片的成本.通过发射极的优化^[41-44]可增大有效沟道宽度,提高电子电流密度,进而提升LIGBT器件的电流能力.发射极优化技术的典型代表是多沟道技术^[6-9].多沟道技术产生于20世纪90年代^[6]并一直沿用至今,日立公司在2014年发布的新一代单片智能功率芯片工艺中仍采用多沟道LIGBT器件作为功率级的开关器件^[9].如图6(a)所示,多沟道技术通过设置多个平行排列N+发射极,增大了N+发射极的有效宽度;多个发射极可分别注入电子到漂移区中,提高电子电流密度.多沟道技术的缺点在于:受相邻P型体区之间寄生电阻的影响,电流能力的提升效果随N+发射极个数的增加反而会变弱,甚至会导致电流能力的下降^[45];据文献^[45]报道,4个N+发射极LIGBT器件的电流能力反而低于2个N+发射极LIGBT器件的电流能力.如图6(b)所示,通常可采用高掺杂浓度的N阱(文献^[8]中也称作载流子存储层)来减小相邻P型体区之间寄生电阻的影响^[8,9,45],但是高掺杂浓度往往会导致击穿电压下降^[45].



(a) 不带高浓度N阱



(b) 带有高浓度N阱

图6 多沟道器件结构示意图

如图7所示,本课题组提出了一种U型沟道结构^[22,46,47],该结构的沟道由平行于漂移区方向的沟道和垂直于漂移区方向的沟道组成.和多沟道结构近似,U型沟道结构能增加沟道的有效宽度,提高注入到漂移区中的电子电流密度,最终提升LIGBT器件的电流能力.U型沟道结构的电子电流主要沿着硅表面流入漂移区,解决了多沟道结构电子电流需流经相邻P型体区之间寄生电阻的问题.如图8所示为传统单沟道结构与U型沟道器件的电流对比图;相比传统结构,U型沟道将器件的电流密度($V_{\text{CE}}=3 \text{V}$ 时)提高了177%^[22,46].

如图9所示,U型沟道结构获得了国际领先的击穿电压与特征导通电阻的折中关系^[22].

抗门锁能力可达 $1\,200\text{ A/cm}^2$ ^[48].

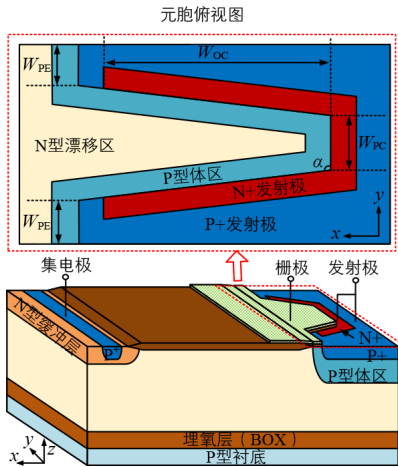


图7 U型沟道结构示意图

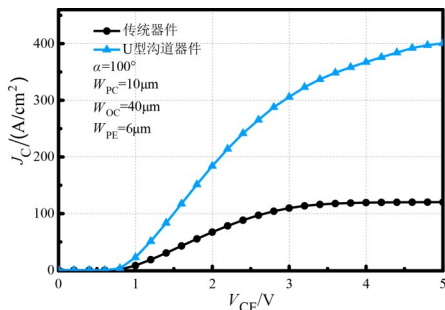


图8 传统结构和U型沟道结构的I-V曲线对比(W_{PC} 、 W_{OC} 、 W_{PE} 及 α 见图7标注)

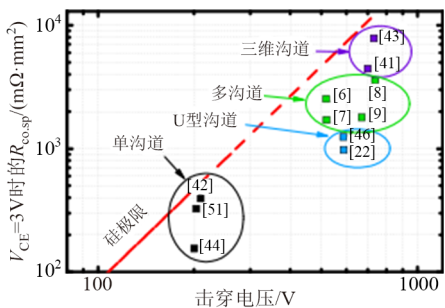


图9 各类技术的击穿电压与特征导通电阻折中关系

除了平面栅极,U型沟道结构还可采用沟槽栅极.如图10所示为沟槽栅极U型沟道结构^[48,49],它包含两个U型的沟槽栅极(G1和G2),其中G1用于控制沟道的开启和关断,G2用作空穴阻挡层来提高发射极一侧的载流子密度并降低器件的导通压降.沟槽栅极U型沟道结构除了提高了发射极一侧的空穴密度,还降低了集电极侧的空穴密度.更均匀的载流子分布可使沟槽栅极U型沟道结构获得更小的关断损耗.除此之外,沟槽栅极U型沟道器件还具有抗门锁能力强的优势,其

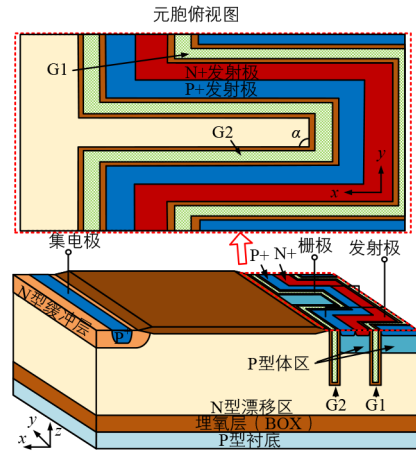


图10 沟槽栅U型沟道器件结构示意图

4.1.2 漂移区优化技术

LIGBT器件漂移区中存储载流子的数量和清除速度是决定其关断速度的关键因素^[50].可采用缩短漂移区长度的方式来减小载流子的数量^[51,52];文献[51]报道的技术通过在漂移区中置入一个深槽氧化层来实现辅助耐压,能够大幅降低漂移区的长度,将LIGBT器件的整体长度降低约50%;文献[52]对深槽氧化层进行了改进,通过纵向多晶硅场板和表面高阻环形场板来实现深槽氧化层中的电位可控,使深槽氧化层技术的优势得到进一步的发挥.采用超结技术加快漂移区的耗尽速度^[53-57],也能够提高关断速度,降低关断损耗.然而,无论是已报道的深槽氧化层技术还是超结技术,均需要额外的工艺步骤或成本.

本课题组提出了一种漂移区优化技术——漂移区多沟槽技术^[58].如图11所示,漂移区多沟槽技术将两个氧化层沟槽(T_E 和 T_C)植入到LIGBT器件的漂移区中.实际制造时,可通过控制光刻窗口的宽度来调节沟槽刻蚀的深度,因此,漂移区中的双沟槽和边缘隔离沟槽同时形成,无需额外的工艺步骤和单独的光刻.图12所示为传统结构与双沟槽结构耐压时的表面电势分布对比图.可以看出,在传统结构中,漂移区长度(L_d)从 $47\text{ }\mu\text{m}$ 减小到 $20.4\text{ }\mu\text{m}$ 之后,其击穿电压从 560 V 降低到了 300 V ;而在双沟槽器件中, $20.4\text{ }\mu\text{m}$ 的漂移区足以

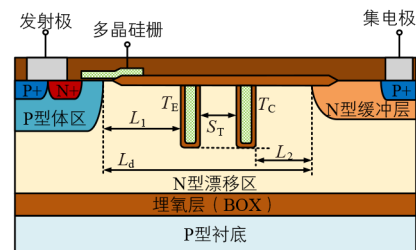


图11 具有漂移区双沟槽的LIGBT器件结构示意图

获得 560 V 击穿电压. 从图中可以看出, 双沟槽辅助承受了 205 V 的电压.

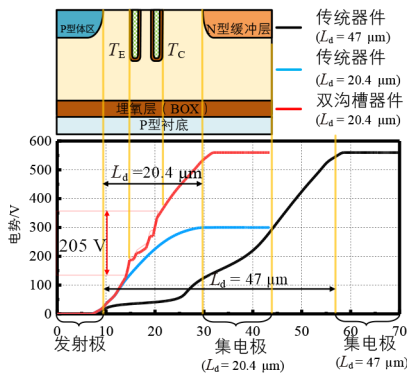


图 12 传统结构与双沟槽结构耐压时的表面电势分布对比图

在多沟槽结构中, 漂移区缩短后, 存储的载流子数量也会相应减少. 图 13 对比了传统结构和双沟槽结构的感性负载关断曲线, 存储载流子数量的减少使双沟槽结构获得了较快的关断速度.

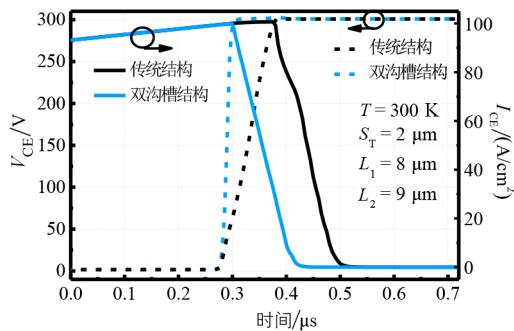


图 13 传统结构和双沟槽结构的感性负载关断曲线(S_T 、 L_1 、 L_2 见图 11 标注)

除了双沟槽结构, 本课题组进一步提出了三沟槽结构(见图 14)^[59], 其特征在于两侧的沟槽(T_E 和 T_C)比中间的沟槽(T_M)深度要浅, 且为全氧化层填充. 三沟槽结构能够提高沟槽的耐压效率, 进一步缩短漂移区的长度, 提高关断速度. 图 15 为三沟槽的形成过程示意图, 由于两侧的沟槽深度较浅、宽度较小, 沟槽侧壁氧化后已完全被氧化层所填充, 所以两侧的沟槽内部不包含多晶硅. 相比传统结构, 三沟槽结构和双沟槽器件的关断损耗分别减小了 59.6% 和 36.9%^[58,59]. 如图 16 所示, 与已经报道的国外典型技术^[6,7,9]相比, 本课题组提出的三沟槽结构获得了更好的电流密度(J_C)-关断时间(t_{OFF})折中关系.

4.1.3 集电极优化技术

对 LIGBT 器件来说, P+集电极与 N 型缓冲层的设计直接影响其击穿电压、电流密度、关断速度、鲁棒性等诸多特性; 除了发射极优化技术和漂移区优化技术,

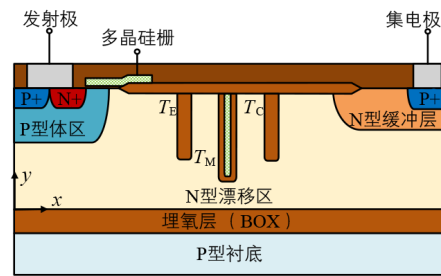


图 14 三沟槽结构示意图

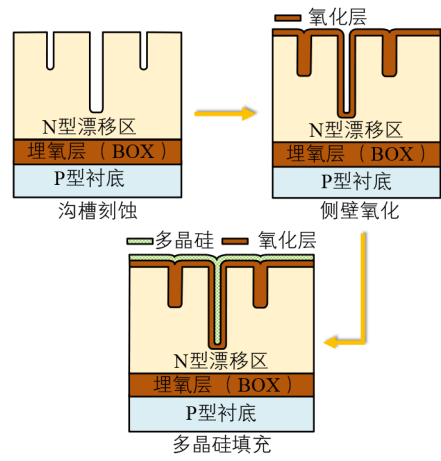


图 15 三沟槽结构的形成过程示意图

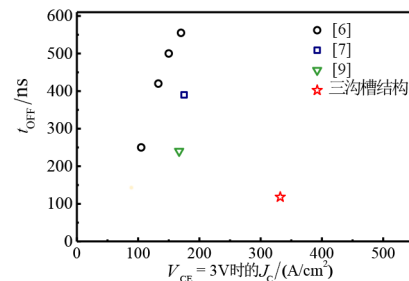


图 16 三沟槽及其他 SOI-LIGBT 器件的电流密度(J_C)与关断时间(t_{OFF})折中关系

集电极(也称作阳极)的优化技术对 LIGBT 器件来说也至关重要. 以阳极短路结构为例, 它在集电极引入 N+ 阳极结构, 将原本的 P+ 集电区阳极和 N+ 阳极通过金属电极短接, 为关断时的电子排空提供了额外的通道, 加快器件的关断速度^[60-62]; 但是阳极短路结构存在电流“回跳”问题, 导致器件工作状态的不稳定; 此外, 在小电流情况下, 器件工作在单极状态下, 会呈现出较大的导通压降. 采用分段阳极^[63,64]、NPN 控制结构^[65,66]、自偏置 NMOS^[67]等集电极技术均可对电流“回跳”进行有效抑制或消除. 以文献[67]为例, 它提出了一种阳极短路且具有一个内嵌自偏置 NMOS 的 LIGBT 器件, 其中自偏置的 NMOS 提供了一个额外的电子通道用于抽取电子; 在该 LIGBT 中, 自偏置的 NMOS 不需要任何控制电路就可以开启; 然而, 这需要一个额外的 P 型层和一个

额外的阳极沟槽栅.除了阳极短路结构,其他类型的集电极技术也被提出,如浮空电极结构^[68],它在不增加工艺步骤的前提下实现了对空穴注入的控制;可惜的是,这种 LIGBT 不能同时实现快速关断和大电流能力,为了使关断时间小于 250 ns,它的导通压降几乎翻了一倍.上述的集电极优化技术,有的需要增加制造工艺步骤或者改变工艺条件,有的则会降低器件的电流能力.

如图 17 所示,本课题组提出了一种复合集电极技术^[69],与传统 LIGBT 器件结构相比,应用该技术的器件特点在于:集电极的 P 型区域由 P+ 和 P- 组成;N 型缓冲层为“W”型. P+/P-集电极和“W”型缓冲层的形成与传统 LIGBT 器件工艺兼容,无须增加额外的工艺步骤和光刻层次.首先,集电极的 P-区域和发射极的 P 阱区域同时形成,即 P-集电极采用和 P 阱相同的工艺条件;第二,“W”型缓冲层是通过两个窗口离子注入扩散后形成(见图 18).

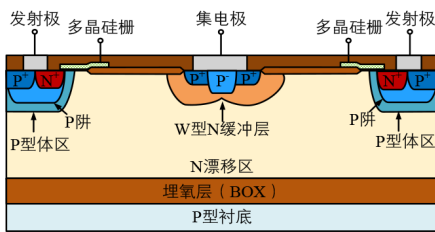


图 17 复合集电极结构示意图

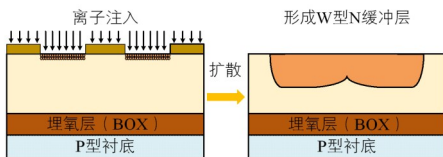


图 18 “W”型缓冲层的形成方法

图 19 所示为复合集电极 LIGBT 器件的等效电路图.该结构中包含两个寄生 PNP 三极管(图中 PNP1 和 PNP2).沟道提供的电子电流可同时为 PNP1 和 PNP2 提供基区电流(I_{B1} 和 I_{B2}).由于 P-集电极的浓度低于 P+集电极的浓度,电子更倾向于经由 PNP2 流出器件,即 PNP2 的基区电流大于 PNP1 的基区电流.

图 20(a)所示为导通状态下传统标准器件和复合集电极器件集电极区域的空穴密度分布对比.在复合集电极器件中,P+和P-可同时注入空穴到漂移区中.图中P-区域下面的空穴密度反而大于P+区域下方的空穴密度,这是因为 PNP2 的基区电流大于 PNP1 的基区电流.如图 20(b)所示,关断时,电子密度在 P-区域下方远大于在 P+区域下方.因此,关断时,P-区域对于电子来说是低势垒区域,能够快速抽取电子.

相比传统标准结构,复合集电极结构的线性电流密度仅牺牲了 6.3%,然而获得了关断时间 67.3% 的减

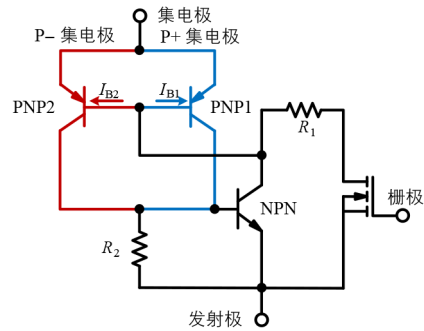
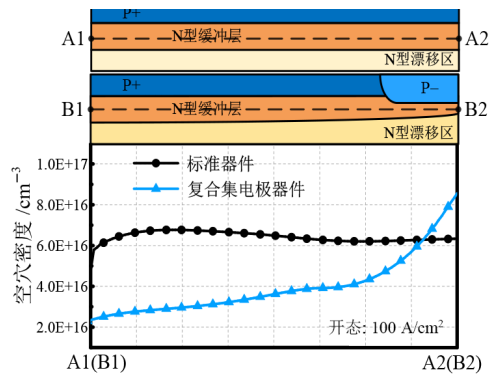
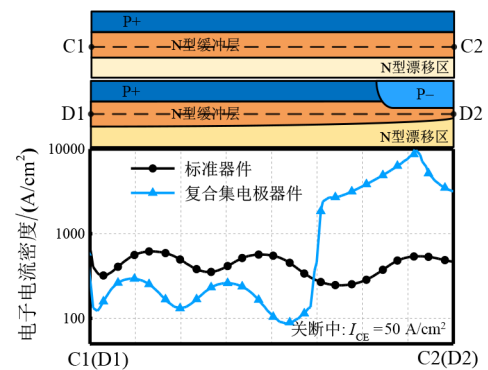


图 19 复合集电极结构的等效电路图(R_1 代表漂移区的寄生电阻; R_2 代表 P 型体区中的寄生电阻)



(a) 导通状态



(b) 关断过程中

图 20 复合集电极器件和传统器件载流子分布对比

小(见图 21),和短路时间 222% 的增大(见图 22).在 125 °C 时,复合集电极结构的关断时间达到了 250 ns 以内,可实现 200 kHz 频率的开关;短路时间达到了 4 μs 以上.

4.2 SOI 基 LDMOS 器件

在 SOI 全集成智能功率芯片中,LDMOS 用于高压电平移位电路^[25],是实现低压信号到高压信号转换的核心元件.在电平移位电路中,LDMOS 开启后需要工作在电流饱和区,因此对其安全工作区的要求较高^[37].

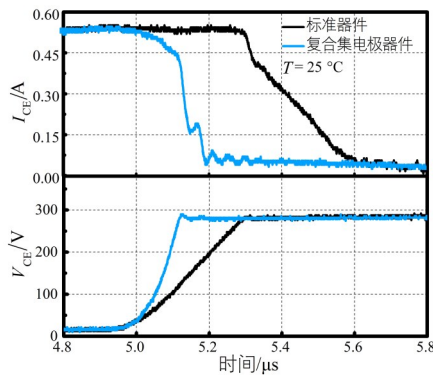


图 21 复合集电极器件和传统器件的关断特性曲线对比

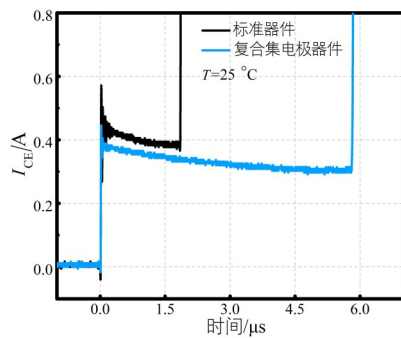


图 22 复合集电极器件和传统器件的短路特性曲线对比

如图 23 所示,本课题组研发的用于全集成单片智能功率芯片的 LDMOS 器件采用“圆”型版图:源极和栅极在外圈,漏极在内圈.采用 P+和 N+源极间隔的形式来调节 LDMOS 器件的电流密度,P+源极可吸收高漏压时电离产生的空穴电流,从而提高其开态击穿电压.图 24 所示为 LDMOS 器件工作时的波形图,漏极电压为 480 V;在 200 °C 时,器件仍能正常工作.

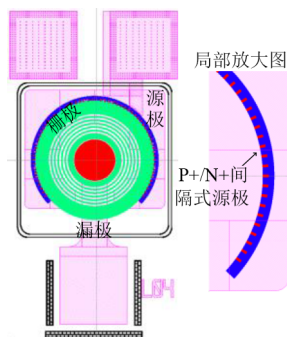


图 23 本课题组研发的 LDMOS 器件的版图示意图

4.3 SOI基FWD 器件

续流二极管(FWD)用于和 LIGBT 器件反并联,实现感性负载开关下的续流功能^[39,70]. LIGBT 器件开启时,其电流除了电感负载电流,还包括 FWD 的反向恢复电流.反向恢复电流如果过大,会导致 LIGBT 瞬时承受的电流过大发生失效或 FWD 自身发生失效.

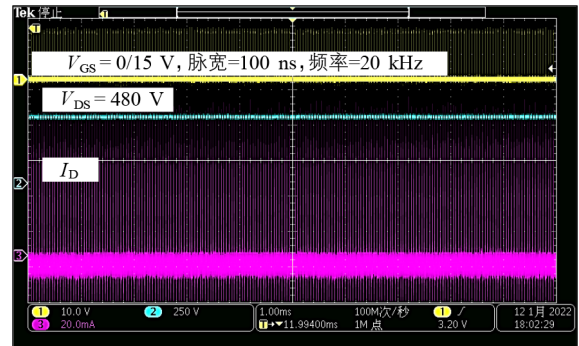
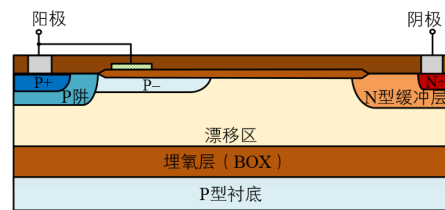
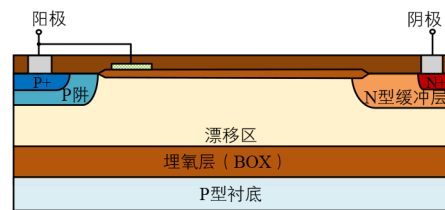


图 24 本课题组研发的 LDMOS 器件在 200 °C 时的连续脉冲工作波形(无负载的反复短路状态)

图 25(a)所示为本课题组提出的一种用于降低反向恢复电流峰值(I_{RRM})的 FWD 结构,和图 25(b)所示的普通结构相比,差别在于:扩展的 P-阳极可有效分散 P+阳极的空穴电流,避免电流在 P+阳极集中,降低 I_{RRM} .



(a) 本课题组提出的结构



(b) 传统结构

图 25 SOI 基高压 FWD 结构示意图

如图 26 所示为反并联传统 FWD 和反并联本课题组所提出的 FWD 的 LIGBT 器件的双脉冲测试波形.第二个脉冲开启时, LIGBT 的集电极-发射极电流 (I_{CE}) 包含 FWD 的反向恢复的电流,相同测试条件下,本课题组

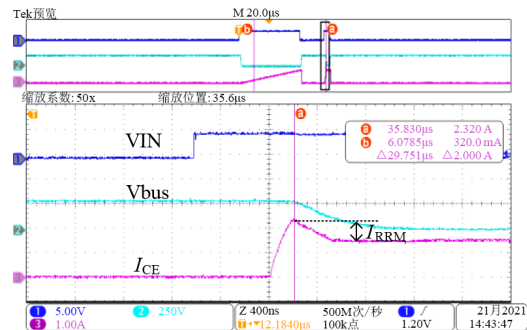


图 26 本课题组研发的 FWD 的反向恢复特性波形

设计的 FWD, 其 I_{RRM} 只有传统 FWD 结构的 50%.

4.4 可靠性

4.4.1 高压互连线

在高压集成电路中, 高压互连线 (High-Voltage Interconnection, HVI) 用于传递高压信号或施加高压到功率器件上. 通常高压互连线需要跨过器件表面将信号传递出去或与高压母线相连^[29]. 高压互连线会造成下方硅区域电场集中, 导致器件提前击穿, 影响芯片的可靠性.

一般来说 HVI 会造成击穿电压下降 30%~50%^[5,71], 需要对 HVI 的影响进行有效屏蔽. 采用环形阻性场板可使表面电势均匀分布, 屏蔽 HVI 的影响, 但是会造成漏电增大^[5]; 采用厚介质的方法消除 HVI 的影响, 一般需要 5 μm 以上的厚度, 极大增加了工艺的难度^[71]; 采用淡 P 阱可以扩展耗尽层, 降低表面电场集中, 缓解 HVI 对击穿电压的影响, 但是需要增加专用的淡 P 阱掩膜及工艺成本^[71]; 采用封装打线的方式引出 HVI 也可以避免其对硅表面的影响, 但是会大幅增加封装成本^[29]. 通过在高压互连线下方合理地设置多浮空场板也可减弱 HVI 的影响, 但仍无法对其进行 100% 地屏蔽^[71].

本课题组提出一种双沟槽高压互连线屏蔽结构^[24,30]. 如图 27 所示, 该结构在高压互连线下的区域增加两个沟槽用于辅助耐压. 其中沟槽 T1 的深度小于沟槽 T2. 如 4.1.2 节所述, 通过控制刻蚀窗口的宽度可以形成不同深度的沟槽. 图 28 所示为不同深度的沟槽通过一步刻蚀同时形成后的 SEM 图, T1 和 T2 可以在一步工艺中同时形成, 不会增加工艺步骤和光刻次数.

图 29 所示为双沟槽高压互连线屏蔽结构的关态曲线. 双沟槽高压互连线屏蔽结构获得了和参考结构(不带高压互连线的结构)几乎相同的击穿电压, 这说明高

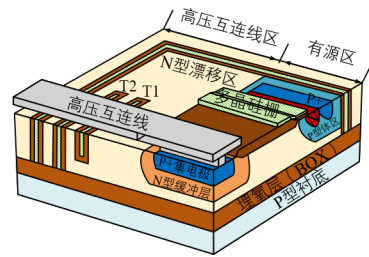


图 27 双沟槽高压互连线屏蔽结构

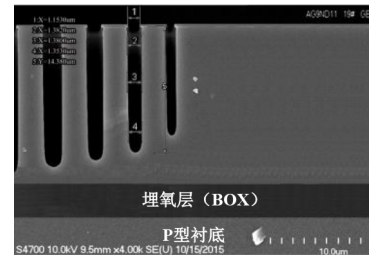


图 28 沟槽刻蚀后的 SEM 图

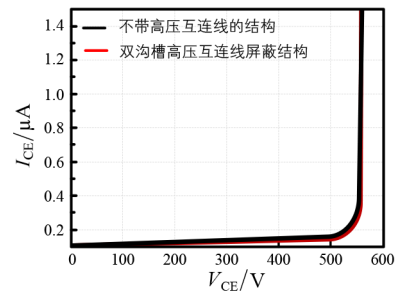


图 29 双沟槽高压互连线结构击穿电压测试曲线

压互连线的屏蔽效率近似达到了 100%. 表 1 中比较了双沟槽结构和其他技术的高压互连线屏蔽效率 (η_s), η_s 是带高压互连线与不带高压互连线器件的击穿电压比值. 双沟槽结构的 η_s 为 100%, 比厚介质技术、淡 P 阱技术及多浮空场板技术更具优势.

表 1 本课题组提出的双沟槽高压互连线屏蔽技术与其他技术的对比

参数	本课题组技术	厚介质技术 ^[71]	淡 P 阱技术 ^[71]	多浮空场板技术 ^[71]
带高压互连线结构的击穿电压/V	550	539	716	732
不带高压互连线结构的击穿电压/V	550	876	876	876
η_s /%	100	62	82	84

4.4.2 低温环境下的雪崩稳定性

文献[72]及文献[73]研究了室温下纵向 MOSFET 中由不稳定雪崩引起的击穿电压漂移现象. 击穿电压漂移现象被证明与掺杂分布^[72]或非均匀耗尽扩展^[73]有关. 本课题组的研究发现, 基于 SOI 的集成型功率半导体器件也会表现出雪崩的不稳定性^[74].

本课题组对 SOI 高压器件在不同温度下的击穿特性进行测试后发现: 存在雪崩击穿电压的漂移现象, 且该现象仅存在于低温条件下^[74,75]. 雪崩稳定性的测试方法如下: 通过电流源向 IGBT 器件的集电极灌入

1 mA 电流, 电流在 50 ms 时间内上升到 1 mA, 随后维持在 1 mA. 由于栅极接地, 沟道关闭, 器件强行进入雪崩状态. 从图 30 中的测试结果可以看出: 在 25 $^{\circ}\text{C}$ 和 125 $^{\circ}\text{C}$ 时, 器件的 V_{CE} 在 50 mA 以后保持不变, 稳定在雪崩击穿电压值; 而在 -40 $^{\circ}\text{C}$ 时, 器件的 V_{CE} 随时间发生变化.

图 31 所示原理图可以解释 V_{CE} 漂移的原因. 从集电极灌入电流时, 雪崩产生的空穴积累在埋氧层 (BOX) 上, 进而引发 P 型衬底的耗尽, 导致衬底承受了一部分电压, 增大了器件的击穿电压. 衬底耗尽层收缩后, 器件的 V_{CE} 回落到稳定值.

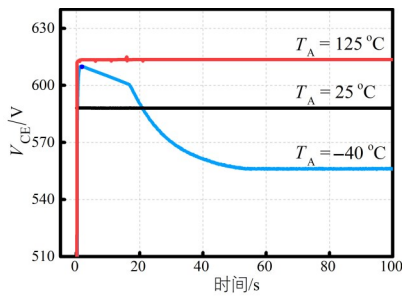
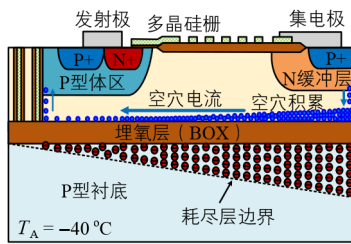
图30 不同温度下的 V_{CEs} 随时间变化曲线

图31 雪崩击穿时的电荷积累示意图

采用N型衬底可以完全避免BOX上方空穴与衬底电荷的耦合,阻止衬底耗尽层展宽和收缩引起的雪崩不稳定和击穿电压漂移.如图32所示,采用N型衬底能够完全消除了击穿电压漂移的现象.

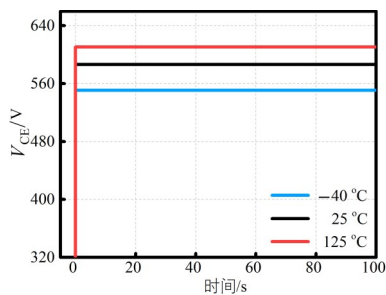


图32 采用N型衬底器件的雪崩稳定性测试结果

5 总结

全集成单片智能功率芯片与相关核心技术长期被国外垄断.本文从全集成单片智能功率芯片的架构和技术需求出发,研发了基于绝缘体上硅的单片智能功率芯片工艺,提出了U型沟道LIGBT器件技术,将电流密度提升177%;提出了漂移区多沟槽LIGBT技术,将关断损耗降低了59.6%;提出了复合集电极LIGBT技术,将短路承受能力提高了222%;研发了具有宽安全工作区的LDMOS器件,其能够稳定工作在200 °C环境下;研发了具有高反向恢复鲁棒性的FWD器件,将反向恢复峰值电流降低了约50%.此外,还研究了高压互连线影响及雪崩不稳定性等可靠性问题,并提出了解决方案.

基于上述自主的技术创新,本课题组构建了绝缘体上硅功率半导体单芯片集成技术,实现了单片智能功率芯片的国产化.

致谢 本文报道的相关技术自2014年开始研发,于2021年实现了单片智能功率芯片的国产化,在此感谢期间参与过本项目的博士研究生和硕士研究生,他们是:杨卓、张允武、陆扬扬、李少红、叶然、张春伟等博士;顾炎、戴伟楠、杜益成、喻慧、黄克琴、朱泳翰、杨棒、黄泽祥、周峰、陈猛、黄超、钱宇翔、陈佳俊、黄薛仨、赵敏娜、王浩、汤清溪、孙玲、曹石林、李安康、祝泽鑫、龚金丽、田甜、曹梦玲、朱桂闯、邹艳勤、刘新宇、崔汪明、崔永久、袁帅等硕士.此外,还要感谢无锡华润上华科技有限公司宋华,以及无锡芯朋微电子股份有限公司祝靖在技术上给予的支持和帮助!

参考文献

- [1] 代茜. 低压大电流MOSFET智能功率模块关键技术研究[D]. 北京: 中国科学院大学, 2017.
DAI Q. Research on Key Technologies of Low-Voltage MOSFET Intelligent Power Module[D]. Beijing: University of Chinese Academy of Sciences, 2017. (in Chinese)
- [2] 龚熙国, 徐延东. 智能功率模块在电动汽车中的应用[J]. 电力电子技术, 2010, 44(11): 122-124.
GONG X G, XU Y D. Intelligent power module for electric vehicle applications[J]. Power Electronics, 2010, 44 (11): 122-124. (in Chinese)
- [3] SAKURAI N, MORI M, YATSUO T. High speed, high current capacity LIGBT and diode for output stage of high voltage monolithic three-phase inverter IC[C]//Proceedings of the 2nd International Symposium on Power Semiconductor Devices and Ics. Tokyo: IEEE, 1990: 66-71.
- [4] NAKAGAWA A, YAMAGUCHI Y, OGURA T, et al. 500V three phase inverter ICs based on a new dielectric isolation technique[C]//Proceedings of the 4th International Symposium on Power Semiconductor Devices and Ics. Tokyo: IEEE, 1992: 328-332.
- [5] ENDO K, BABA Y, UDO Y, et al. A 500 V 1A 1-chip inverter IC with a new electric field reduction structure[C]// Proceedings of the 6th International Symposium on Power Semiconductor Devices and Ics. Davos: IEEE, 1994: 379-383.
- [6] FUNAKI H, MATSUDAI T, NAKAGAWA A, et al. Multi-channel SOI lateral IGBTs with large SOA[C]//Proceedings of 9th International Symposium on Power Semiconductor Devices and ICs. Weimar: IEEE, 1997: 33-36.
- [7] NAKAGAWA A, FUNAKI H, YAMAGUCHI Y, et al. Improvement in lateral IGBT design for 500 V 3 A one chip inverter ICs[C]//11th International Symposium on Power Semiconductor Devices and ICs. Toronto: IEEE, 1999: 321-324.

- [8] SHIGEKI, AKIO, YOUICHI, et al. Carrier-storage effect and extraction-enhanced lateral IGBT (E2LIGBT): A super-high speed and low on-state voltage LIGBT superior to LDMOSFET[C]//2012 24th International Symposium on Power Semiconductor Devices and ICs. Bruges: IEEE, 2012: 393-396.
- [9] HARA K, WADA S, SAKANO J, et al. 600V single chip inverter IC with new SOI technology[C]//2014 IEEE 26th International Symposium on Power Semiconductor Devices & ICs. Waikoloa: IEEE, 2014: 418-421.
- [10] YU S Y, ZHU J, LU Y Y, et al. Gate control circuit for the LIGBT to improve the freewheeling characteristics in monolithic IC[C]//2019 31st International Symposium on Power Semiconductor Devices and ICs. Shanghai: IEEE, 2019: 279-282.
- [11] ZHU J, YU S Y, ZHU G C, et al. Device and circuit design for improving the freewheeling characteristics of high voltage monolithic integrated circuit[J]. IEEE Transactions on Industrial Electronics, 2021, 68(11): 11420-11427.
- [12] MA J, ZHANG L, ZHU J, et al. Silicon-on-insulator lateral DMOS with potential modulation plates and multiple deep-oxide trenches[J]. IEEE Transactions on Electron Devices, 2021, 68(10): 5073-5077.
- [13] ZHANG L, ZHU J, CAO S L, et al. Mechanism and novel structure for di/dt controllability in U-shaped channel silicon-on-insulator lateral IGBTs[J]. IEEE Electron Device Letters, 2019, 40(10): 1658-1661.
- [14] ZHANG C W, GUO H J, CHEN Z X, et al. Super field plate technique that can provide charge balance effect for lateral power devices without occupying drift region[J]. IEEE Transactions on Electron Devices, 2020, 67(5): 2218-2222.
- [15] ZHANG L, ZHU J, MA J, et al. Turn-off transient of superjunction SOI lateral IGBTs: Mechanism and optimization strategy[J]. IEEE Transactions on Electron Devices, 2019, 66(3): 1409-1415.
- [16] MA J, ZHANG L, ZHU J, et al. Simulation study of novel trench gate U-shaped channel SOI lateral IGBTs with suppressed gate voltage overshoot and reduced di/dt[J]. IEEE Transactions on Electron Devices, 2021, 68(8): 3930-3935.
- [17] ZHANG L, ZHU J, MA J, et al. 500-V silicon-on-insulator lateral IGBT with W-shaped n-typed buffer and composite p-typed collectors[J]. IEEE Transactions on Electron Devices, 2019, 66(3): 1430-1434.
- [18] HUANG X Q, ZHAO M N, WANG H, et al. Analysis of clamped inductive turn-off failure of multi-finger lateral IGBT in SOI single chip inverter ICs[C]//2017 IEEE 24th International Symposium on the Physical and Failure Analysis of Integrated Circuits. Chengdu: IEEE, 2017: 1-4.
- [19] LI S H, ZHANG L, ZHU J, et al. A high-speed SOI-LIGBT with electric potential modulation trench and low-doped buried layer[C]//2018 IEEE 30th International Symposium on Power Semiconductor Devices and ICs. Chicago: IEEE, 2018: 323-326.
- [20] 张龙. 厚膜 SOI 基高压横向 IGBT 器件研究[D]. 南京: 东南大学, 2018.
ZHANG L. Research on the High-Voltage Lateral IGBT on Thick SOI[D]. Nanjing: Southeast University, 2018. (in Chinese)
- [21] ZHANG L, ZHU J, ZHAO M N, et al. Turn-off failure in multi-finger SOI-LIGBT used for single chip inverter ICs [J]. Solid-State Electronics, 2017, 137: 29-37.
- [22] ZHU J, ZHANG L, SUN W F, et al. Further study of the U-shaped channel SOI-LIGBT with enhanced current density for high-voltage monolithic ICs[J]. IEEE Transactions on Electron Devices, 2016, 63(3): 1161-1167.
- [23] 杨春. SOI 高压集成电路的隔离技术研究[D]. 成都: 电子科技大学, 2006.
YANG C. Research on Isolation Technology of High Voltage SOI Integrated Circuit[D]. Chengdu: University of Electronic Science and Technology of China, 2006. (in Chinese)
- [24] ZHANG L, ZHU J, SUN W F, et al. A new high-voltage interconnection shielding method for SOI monolithic ICs [J]. Solid-State Electronics, 2017, 133: 25-30.
- [25] ZHANG Y W, ZHU J, SUN W F, et al. A capacitive-loaded level shift circuit for improving the noise immunity of high voltage gate drive IC[C]//2015 IEEE 27th International Symposium on Power Semiconductor Devices & ICs. Hongkong: IEEE, 2015: 173-176.
- [26] ZHU J, SUN W F, ZHANG Y W, et al. An integrated bootstrap diode emulator for 600-V high voltage gate drive IC with P-sub/P-epi technology[J]. IEEE Transactions on Power Electronics, 2016, 31(1): 518-523.
- [27] YU S Y, ZHU J, SUN W F, et al. A dvS/dt noise immunity improvement structure based on slope sensing technology for 200V high voltage gate drive circuit[C]//2020 32nd International Symposium on Power Semiconductor Devices and ICs. Vienna: IEEE, 2020: 270-273.

- [28] ZHU J, ZHANG Y W, SUN W F, et al. Noise immunity and its temperature characteristics study of the capacitive-loaded level shift circuit for high voltage gate drive IC[J]. *IEEE Transactions on Industrial Electronics*, 2018, 65(4): 3027-3034.
- [29] QIAO M, ZHANG X, WEN S, et al. A review of HVI technology[J]. *Microelectronics Reliability*, 2014, 54(12): 2704-2716.
- [30] ZHANG L, ZHU J, SUN W F, et al. A novel high-voltage interconnection structure with dual trenches for 500V SOI-LIGBT[C]//2016 28th International Symposium on Power Semiconductor Devices and ICs. Prague: IEEE, 2016: 439-442.
- [31] QIAN Q S, SUN W F, HAN D X, et al. The optimization of deep trench isolation structure for high voltage devices on SOI substrate[J]. *Solid-State Electronics*, 2011, 63(1): 154-157.
- [32] MA J, ZHANG L, ZHU J, et al. Influence of emitter-side deep-oxide trenches on dynamic avalanche capability of SOI lateral IGBTs used for monolithic power ICs[C]//2018 14th IEEE International Conference on Solid-State and Integrated Circuit Technology. Qingdao: IEEE, 2018: 1-3.
- [33] SUN W F, ZHU J, ZHANG L, et al. A novel silicon-on-insulator lateral insulated-gate bipolar transistor with dual trenches for three-phase single chip inverter ICs[J]. *IEEE Electron Device Letters*, 2015, 36(7): 693-695.
- [34] 席伟. 智能功率芯片的短路保护分析与设计[D]. 南京: 东南大学, 2016.
XI W. The Analysis and Design of Short Current Protection in Smart Power ICS[D]. Nanjing: Southeast University, 2016. (in Chinese)
- [35] Electric Mitsubishi. Super Mini DIPIPM Ver. 7 Serises APPLICATION NOTE PSSxxS93x6-AG[EB/OL]. [2022-04-08]. <https://www.mitsubishielectric.com/cn/semiconductors/products/powermod/note/index.html>.
- [36] 张允武. 600V 单片集成智能功率驱动芯片关键技术研究[D]. 南京: 东南大学, 2016.
ZHANG Y W. Research on the Key Technology of 600V Single Chip Intelligent Power Integrated Circuit[D]. Nanjing: Southeast University, 2016. (in Chinese)
- [37] 周峰. 厚膜 SOI-LDMOS 安全工作区的研究与设计[D]. 南京: 东南大学, 2017.
ZHOU F. Research and Design of the Safe Operating Area of SOI-LDMOS Based on Thick Film Process[D]. Nanjing: Southeast University, 2017. (in Chinese)
- [38] 黄克琴. 智能功率驱动芯片用 SOI-FRD 反向恢复特性的研究与优化[D]. 南京: 东南大学, 2016.
HUANG K Q. Design and Optimization of the Reverse Re-Covery Characteristic of SOI-FRD for Intelligent Power Driver Chip[D]. Nanjing: Southeast University, 2016. (in Chinese)
- [39] ZHANG L, ZHU J, SUN W F, et al. Novel snapback-free reverse-conducting SOI-LIGBT with dual embedded diodes[J]. *IEEE Transactions on Electron Devices*, 2017, 64(3): 1187-1192.
- [40] 都灵. SOI 横向功率器件的高压互连效应的研究[D]. 南京: 南京邮电大学, 2018.
DU L. High Voltage Interconnect Effect of SOI lateral Power Devices[D]. Nanjing: Nanjing University of Posts and Telecommunications, 2018. (in Chinese)
- [41] ZHU J, SUN W F, DAI W N, et al. TC-LIGBTs on the thin SOI layer for the high voltage monolithic ICs with high current density and latch-up immunity[J]. *IEEE Transactions on Electron Devices*, 2014, 61(11): 3814-3820.
- [42] LU D H, MIZUSHIMA T, KITAMURA A, et al. Retrograded channel SOI LIGBTs with enhanced safe operating area[C]//2008 20th International Symposium on Power Semiconductor Devices and ICs. Orlando: IEEE, 2008: 32-35.
- [43] ZHU J, SUN W F, QIAN Q S, et al. 700V thin SOI-LIGBT with high current capability[C]//2013 25th International Symposium on Power Semiconductor Devices & ICs. Kanazawa: IEEE, 2013: 119-122.
- [44] TSUJIUCHI M, NITTA T, IPPOSHI T, et al. Evolution of 200V lateral-IGBT technology[C]//2014 IEEE 26th International Symposium on Power Semiconductor Devices & ICs. Waikoloa: IEEE, 2014: 426-429.
- [45] SAKANO J, SHIRAKAWA S, HARA K, et al. Large Current capability 270V lateral IGBT with multi-emitter [C]//2010 22nd International Symposium on Power Semiconductor Devices & ICs. Hiroshima: IEEE, 2010: 83-86.
- [46] ZHU J, SUN W F, ZHANG L, et al. High voltage thick SOI-LIGBT with high current density and latch-up immunity[C]//2015 IEEE 27th International Symposium on Power Semiconductor Devices & ICs. Hongkong: IEEE, 2015: 169-172.
- [47] ZHANG L, ZHU J, SUN W F, et al. Comparison of short-circuit characteristics of trench gate and planar gate U-shaped channel SOI-LIGBTs[J]. *Solid-State Electronics*, 2017, 135: 24-30.

- [48] ZHANG L, ZHU J, SUN W F, et al. A U-shaped channel SOI-LIGBT with dual trenches[J]. *IEEE Transactions on Electron Devices*, 2017, 64(6): 2587-2591.
- [49] ZHANG L, ZHU J, SUN W F, et al. U-shaped channel SOI-LIGBT with dual trenches to improve the trade-off between saturation voltage and turn-off loss[C]//2017 29th International Symposium on Power Semiconductor Devices and ICs. Sapporo: IEEE, 2017: 291-294.
- [50] FANG J, JIA Y Y, PIAN H, et al. A high speed SOI LIGBT with electronic barrier modulation structure[C]//2013 25th International Symposium on Power Semiconductor Devices & ICs. Kanazawa: IEEE, 2013: 139-142.
- [51] LU D H, JIMBO S, FUJISHIMA N. A low on-resistance high voltage soi light with oxide trench in drift region and hole bypass gate configuration[C]//2005. IEDM Technical Digest IEEE International Electron Devices Meeting. Washington: IEEE, 2005: 381-384.
- [52] ZHANG L, ZHU J, CAO S L, et al. Optimization of VCE plateau for deep-oxide trench SOI lateral IGBT during inductive load turn-OFF[J]. *IEEE Transactions on Electron Devices*, 2018, 65(9): 3862-3868.
- [53] TEE E K C, ANTONIOU M, UDREA F, et al. 200 V superjunction N-type lateral insulated-gate bipolar transistor with improved latch-up characteristics[J]. *IEEE Transactions on Electron Devices*, 2013, 60(4): 1412-1415.
- [54] KHO E C T, HOELKE A D, PILKINGTON S J, et al. 200-V lateral superjunction LIGBT on partial SOI[J]. *IEEE Electron Device Letters*, 2012, 33(9): 1291-1293.
- [55] UDREA F, TRAJKOVIC T, LEE C, et al. Ultra-fast LIGBTs and superjunction devices in membrane technology [C]//The 17th International Symposium on Power Semiconductor Devices and ICs. Santa Barbara: IEEE, 2005: 267-270.
- [56] ANTONIOU M, TEE E K C, PILKINGTON S J, et al. The lateral superjunction PSOI LIGBT and LD MOSFET [C]//CAS 2012 International Semiconductor Conference. Sinaia: IEEE, 2012: 351-354.
- [57] CAO S L, ZHANG L, MA J, et al. Impact of depelition in substrate on turn-off characteristic of superjunction SOI-LIGBT[C]//2019 IEEE International Conference on Electron Devices and Solid-State Circuits. Xi'an: IEEE, 2019: 1-3.
- [58] ZHANG L, ZHU J, SUN W F, et al. Low-loss SOI-LIGBT with dual deep-oxide trenches[J]. *IEEE Transactions on Electron Devices*, 2017, 64(8): 3282-3286.
- [59] ZHANG L, ZHU J, ZHAO M N, et al. Low-loss SOI-LIGBT with triple deep-oxide trenches[J]. *IEEE Transactions on Electron Devices*, 2017, 64(9): 3756-3761.
- [60] GOUGH P A, SIMPSON M R, RUMENNIK V. Fast switching lateral insulated gate transistor[C]//1986 International Electron Devices Meeting. Los Angeles: IEEE, 1986: 218-221.
- [61] CHUL J H, BYEON D S, OH J K, et al. A fast-switching SOI SA-LIGBT without NDR region[C]//12th International Symposium on Power Semiconductor Devices & ICs. Toulouse: IEEE, 2000: 149-152.
- [62] SIMPSON M R. Analysis of negative differential resistance in the I-V characteristics of shorted-anode LIGBTs [J]. *IEEE Transactions on Electron Devices*, 1991, 38(7): 1633-1640.
- [63] SIN J K O, MUKHERJEE S. Lateral insulated-gate bipolar transistor (LIGBT) with a segmented anode structure [J]. *IEEE Electron Device Letters*, 1991, 12(2): 45-47.
- [64] ZHU J, ZHANG L, SUN W F, et al. Electrical characteristic study of an SOI-LIGBT with segmented trenches in the anode region[J]. *IEEE Transactions on Electron Devices*, 2016, 63(5): 2003-2008.
- [65] HARDIKAR S, TADIKONDA R, SWEET M, et al. A fast switching segmented anode NPN controlled LIGBT [J]. *IEEE Electron Device Letters*, 2003, 24(11): 701-703.
- [66] QIN Z X, SANKARA NARAYANAN E M. Npn controlled lateral insulated gate bipolar transistor[J]. *Electronics Letters*, 1995, 31(23): 2045-2047.
- [67] LUO X R, ZHAO Z, HUANG L, et al. A snapback-free fast-switching SOI LIGBT with an embedded self-biased n-MOS[J]. *IEEE Transactions on Electron Devices*, 2018, 65(8): 3572-3576.
- [68] PATHIRANA V, UDUGAMPOLA N, TRAJKOVIC T, et al. Low-loss 800-V lateral IGBT in bulk Si technology using a floating electrode[J]. *IEEE Electron Device Letters*, 2018, 39(6): 866-868.
- [69] ZHANG L, ZHU J, MA J, et al. 500-V silicon-on-insulator lateral IGBT with W-shaped n-typed buffer and composite p-typed collectors[J]. *IEEE Transactions on Electron Devices*, 2019, 66(3): 1430-1434.
- [70] ZHANG L, ZHU J, SUN W F, et al. A high current density SOI-LIGBT with Segmented Trenches in the Anode region for suppressing negative differential resistance regime[C]//2015 IEEE 27th International Symposium on Power Semiconductor Devices & ICs. Hongkong: IEEE, 2015: 49-52.
- [71] FLACK E, GERLACH W, KOREC J. Influence of inter-

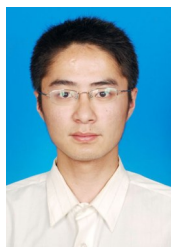
- connections onto the breakdown voltage of planar high-voltage P-N junctions[J]. IEEE Transactions on Electron Devices, 1993, 40(2): 439-447.
- [72] DENG S L, HOSSAIN Z, BURKE P. Doping engineering for improved immunity against BV softness and BV shift in trench power MOSFET[C]//2016 28th International Symposium on Power Semiconductor Devices and ICs. Prague: IEEE, 2016: 375-378.
- [73] HOSSAIN Z, BURRA B, SELLERS J, et al. Process & design impact on BVDSS stability of a shielded gate trench power MOSFET[C]//2014 IEEE 26th International Symposium on Power Semiconductor Devices & ICs. Waikoloa: IEEE, 2014: 378-381.
- [74] MA J, ZHANG L, ZHU J, et al. Channel-off avalanche instability in SOI lateral IGBT at low temperature: Mechanism and optimization schemes[C]//2019 31st International Symposium on Power Semiconductor Devices and ICs. Shanghai: IEEE, 2019: 387-390.
- [75] ZHANG L, ZHU J, CAO S L, et al. Analysis of OFF-state dynamic avalanche instability in silicon-on-insulator lateral IGBTs at low temperature[J]. Microelectronics Reliability, 2020, 107: 113600.

作者简介



张 龙 男,1986年出生,江苏徐州人.2010年于中国矿业大学获学士学位,2013年于东南大学获硕士学位,2018年于东南大学获博士学位,2018至2020年于东南大学从事博士后工作.2020年至今为东南大学教师,副高级职称,博士生导师.主要研究方向为功率半导体集成工艺及器件.中国电子学会会员编号:E190022693S.

E-mail: longzh@seu.edu.cn



刘斯扬 男,1987年出生,安徽合肥人.2008年于合肥工业大学获学士学位,2011年于东南大学获硕士学位,2015年于东南大学获博士学位,2015至2017年于东南大学从事博士后工作.目前为东南大学青年首席教授,国家高层次人才,博士生导师.主要研究方向为功率半导体集成工艺及器件.中国电子学会会员编号:E190029952M.

E-mail: liusy2017@seu.edu.cn



孙伟锋(通讯作者) 男,1977年出生,江苏武进人.2000年、2003年、2007年于东南大学分别获得学士、硕士及博士学位.目前为东南大学首席教授,国家高层次人才,江苏特聘教授,博士生导师.主要研究方向为功率集成电路.中国电子学会会员编号:E190009272S.

E-mail: swffrog@seu.edu.cn